

526 Rec'd PCT/PTO 05 MAY 2000

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

03840059 **Image available**
DATA PROCESSOR

PUB. NO.: 04-205159 [JP 4205159 A]
PUBLISHED: July 27, 1992 (19920727)
INVENTOR(s): YANAGIDA TOMOHIKO
KOBAYASHI MASATAKA
KASUGA HIDEO
IDO AKIRA
HIRAHATA KENJI
KONDO NOBUKAZU
KAWASHIMA HIDEYUKI
MATSUDA TOSHIHIKO
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
HITACHI MICRO SOFTWARE SYST CO LTD [491485] (A Japanese
Company or Corporation), JP (Japan)
APPL. NO.: 02-328845 [JP 90328845]
FILED: November 30, 1990 (19901130)
INTL CLASS: [5] G06F-013/36; G06F-012/08
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)
JOURNAL: Section: P, Section No. 1451, Vol. 16, No. 543, Pg. 113,
November 12, 1992 (19921112)

ABSTRACT

PURPOSE: To simplify logic by providing information for controlling the operation of a data processor and a peripheral device to a memory control part or a table used for address conversion.

CONSTITUTION: When bus access becomes necessary as a result of instruction fetch or execution, an instruction execution part 10 outputs a logical address 11 to the memory control part 20 and also asserts a bus access request 12 to a bus control part 30. The memory control part 20 converts the logical address 11 into a physical address 21 and also outputs a pipeline inhibit bit 22. At this time, the pipeline inhibit bit is cleared and bus access permission 51 with which (logical value '0') NAND logic 50 is outputted is asserted (logical value '1') so as to realize high-speed access to a normal memory space.

⑫ 公開特許公報(A) 平4-205159

⑤ Int. Cl.³G 06 F 13/36
12/08

識別記号

5 2 0 A
Z

庁内整理番号

7052-5B
7232-5B

④ 公開 平成4年(1992)7月27日

審査請求 未請求 請求項の数 5 (全5頁)

⑭ 発明の名称 データ処理装置

⑯ 特 願 平2-328845

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 柳 田 知 彦 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内⑲ 発 明 者 小 林 正 隆 神奈川県横浜市戸塚区吉田町292番地 株式会社日立マイ
クロソフトウェアシステムズ内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 株式会社日立マイクロ
ソフトウェアシステムズ
神奈川県横浜市戸塚区吉田町292番地㉒ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

1. 命令を実行する命令部とバスを制御するバス制御部と論理アドレスを物理アドレスに変換する機構をもつメモリ管理部から成るデータ処理装置において、

前記メモリ管理部またはアドレス変換のために用いるテーブルに、前記データ処理装置の動作及び周辺装置を制御するための情報を設けたことを特徴とするデータ処理装置。

2. 請求項1において、前記メモリ管理部であって、前記アドレスを物理アドレスに変換するアドレス変換テーブルと高速なアドレス変換を実現するためのアドレス変換バッファによりメモリを管理する前記データ処理装置で、前記アドレス変換テーブルと前記アドレス変換バッファ上に前記データ処理装置の動作および周辺装置を制御する情報を格納するビット・フィールド

を設けたデータ処理装置。

3. 請求項1において、前記データ処理装置のうち、バス・サイクルが終了する以前に、次のバス・サイクルを開始するパイプライン方式のバス・インタフェースをもつデータ処理装置であって、前記メモリ管理部または前記アドレス変換テーブルおよび前記アドレス変換バッファにパイプラインによるアクセスを行うか否かのフラグを設けたデータ処理装置。

4. 請求項1において、前記データ処理装置のうち、一回のバス・サイクルで複数のデータを転送するバースト転送方式のバス・インタフェースをもつデータ処理装置であって、前記メモリ管理部または前記アドレス変換テーブルおよび前記アドレス変換バッファにバースト転送によるアクセスを行うか否かのフラグを設けたデータ処理装置。

5. 請求項1において、前記周辺装置をチップ・セレクト信号により選択し制御するデータ処理装置であって、前記メモリ管理部または前記ア

ドレス変換テーブルおよび前記アドレス変換バッファに周辺装置の番号及びアクセス時間を格納するビット・フィールドを設け、周辺装置の番号をデコードしてチップ・セレクト信号を生成し、指定されたアクセス時間の長さに調整されたストロブ信号を生成するデータ処理装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、アドレス変換機構をもつデータ処理装置及びその動作及び周辺装置とのインタフェースに関する。

[従来の技術]

Intel社製i860™マイクロプロセッサは、周辺装置とのバス・インタフェースをバス・パイプライン方式により行なっている。このプロセッサでは、バス・パイプラインを行うか否かの制御を周辺デバイスからの制御信号で行っていた。これについては、「i860™ 64ビット マイクロプロセッサ」に記載されている。

[発明が解決しようとする課題]

サイクル開始信号と周辺装置からのデータの受信を示す応答信号により動作する。データ処理装置の内部状態がバス・アクセス可能な状態になるとデータ処理装置は、メモリ管理部、または、メモリ管理テーブル上のバス・パイプラインのフラグを判断する。このフラグの内容により、パイプライン・アクセスが可能ならばサイクル開始信号をアサートして次のサイクルのアドレスと制御信号を出力する。

このようにバス・パイプラインのフラグを設けることにより、性能に影響しない周辺装置はバス・パイプラインを行わずにアクセスすることが可能になる。

バースト転送の制御についても同様である。

[実施例]

以下、本発明の一実施例を図面を参照して説明する。

第1図は、バス・パイプライン方式のデータ処理装置について、本発明装置の実現方式の一例を示すものである。図において、10は命令実行部、

上記従来の方式では、データ処理装置に複数の周辺装置が接続されている場合、周辺装置は自分へのアクセスであることを確認するために、他の周辺装置の応答を待ってからデータの出力や格納を行う必要があった。このため、周辺装置の論理が複雑になる問題があった。

[課題を解決するための手段]

上記目的を達成するため、本発明ではメモリ・マッピングによりバス・パイプラインを行うか否かを制御することにより、性能に影響しない周辺装置については、バス・パイプラインを意識することなく論理の簡易化を図ることにある。

また、同様にバースト転送を行うか否かの制御についてもメモリ・マッピングで行うことにより周辺論理の簡略化が可能となる。

[作用]

本発明におけるデータ処理装置は、命令実行部、メモリ管理部、バス制御部から構成される。本データ処理装置のバス・インタフェースは、アドレスなどの制御信号を出力してサイクルの開始を示

20はメモリ管理部、30はバス制御部、40はパイプライン段数カウンタ、50はNAND論理、60はAND論理を示す。

命令実行部10は、命令フェッチまたは実行によりバス・アクセスが必要になると、メモリ管理部20に対して論理アドレス11を出力するとともに、バス制御部30に対してバス・アクセス要求12をアサートする。メモリ管理部20は、論理アドレス11を物理アドレス21に変換するとともにパイプライン・インヒビット・ビット22を出力する。このとき、通常のメモリ空間へのアクセスでは高速なアクセスを実現するためにパイプライン・インヒビット・ビットがクリアされており（論理値'0'）NAND論理50が出力するバス・アクセス許可51はアサート（論理値'1'）される。これによりAND論理60の出力であるバス・アクセス要求61がアサートされてバス制御部30に入力される。これによりバス制御部30はサイクル開始信号31をアサートして、メモリ・コントローラなどの周辺装置にサイクル

の開始を示す。このサイクル開始信号31は、パイプライン段数カウンタにも入力されてカウント値41がインクリメントされる。また、サイクル開始信号31は命令実行部10に送出されてデータ要求11が実行されたことを示す。これにより命令実行部10は、次のアクセスに対するデータ要求11を再アサートすることができる。

パイプライン段数カウンタ40は、バス・アクセスのパイプラインの段数をカウントする。このカウンタのカウント値41は、サイクル開始信号31によりインクリメントされ周辺装置が出力する応答信号32によりデクリメントされる。

次に、メモリ空間へのアクセスをパイプラインにより開始した直後にI/O空間へのアクセスが行われる場合を示す。I/O空間へのアクセスは、性能に殆んど影響を与えないため、パイプラインによるバス・アクセスを行う必要がない。このためI/O空間ではパイプライン・インビット・ビット22をアサート(論理値'1')するようにメモリ管理部20のデータを設定することがで

きる。このときには、バス・アクセス許可1はすべてのバス・アクセスが終了してパイプライン段数のカウント値が'0'になるまでネグート(論理値'0')したままである。これにより、I/O空間へのアクセスでは、パイプラインによるバス・アクセスを抑止できる。

以上の説明では、パイプライン・インビット・ビット22の実現方法については言及していないが、メモリ管理部20のアドレス変換の方法に依存する。例えば、セグメンテーション・テーブルやページ・テーブルなどによる動的アドレス変換では、それぞれの変換テーブルにパイプライン・インビット・ビット22を置くことで実現できる。また、アドレス変換バッファがサポートされている場合は、パイプライン・インビット・ビット22をアドレス変換バッファにも反映させる必要がある。

第2図は、データ処理装置内のメモリ管理部がアドレス変換テーブルにより動的アドレス変換を行う際に、アドレス変換テーブルにパイプライン

禁止ビットおよびバースト・イネーブルビットを設けた場合のアドレス変換の動作を示すものである。図において、アドレス変換テーブル70の個々のエントリは、物理ページ番号71、パイプライン禁止ビット(PIビット)72、バースト・イネーブルビット(Bビット)73、有効ビット(Vビット)74から構成される。物理空間80はメモリ空間81とI/O空間82からなり、メモリ空間はプログラム用のページとデータ用のページに分かれる。バス・インタフェースの一例としてプログラム・ページのデータ転送のみをバースト転送で行い、I/O空間のデータ転送ではパイプライン転送を禁止するものとする。この場合、プログラム・ページでは、PIビットを'0'、Bビットを'1'とし、データ・ページでは、PIビットを'0'、Bビットを'0'とする。またI/OページではPIビットを'1'、Bビットを'0'とすることにより、前述の通り設定をすることができる。

第3図は、周辺装置とのインタフェースとして

チップセレクト信号をアサートすることで周辺装置の選択を行う場合の本発明の実現方式の一例を示すものである。図において、10は命令実行部、20はメモリ管理部、30はバス制御部、90はデコード部、100、110および120はNAND論理を示す。命令実行部10はバス制御部30に対してバス・アクセス要求12をアサートするとともにメモリ管理部20に対して論理アドレス11を出力する。メモリ管理部20では、アドレス変換テーブルなどにより論理アドレス11を物理アドレス21に変換する。また、メモリ管理部20、または、メモリ管理部20が管理するアドレス変換テーブルには周辺装置を区別するためのデバイス番号23と周辺装置のアクセス時間24をメモリ・マップごとに定義することができるようになっている。デコード部90はデバイス番号をデコードした後でバス制御部が出力するストローブ・タイミング33とANDしてそれぞれのデバイスに対応するチップセレクト信号CS0、CS1...CSnを出力する。バス制御部30はメモ

リ管理部20が出力するアクセス時間24によりパルスの長さを調整してリード・ストロブRD34またはライト・ストロブWR42のいずれかをアサートする。これにより周辺装置は、アドレス・デコード回路や応答タイミングを生成する回路が不要となり、論理が単純になる。

〔 発明の効果 〕

本発明によれば、アドレスのマッピングで、バス・パイプラインの制御などデータ装置の動作を規定できるため、I/Oコントローラなどの性能に殆んど影響しない周辺装置については、バス・パイプラインをサポートする必要が無くなるなど論理の簡略化を図ることができる。

4. 図面の簡単な説明

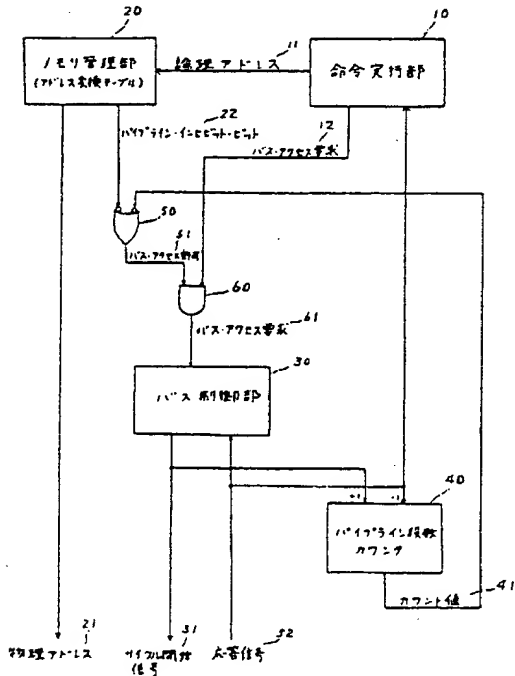
第1図は本発明の一実施例であるデータ処理装置のブロック図。第2図は第1図のデータ処理装置内のメモリ管理部をアドレス変換テーブルを用いて管理する場合のアドレス変換の動きを示す説明図。第3図はバス・アクセスの際の周辺装置の選択をそれぞれの周辺装置に対応するチップ・セ

レクト信号で行う場合のデータ処理装置のブロック図である。

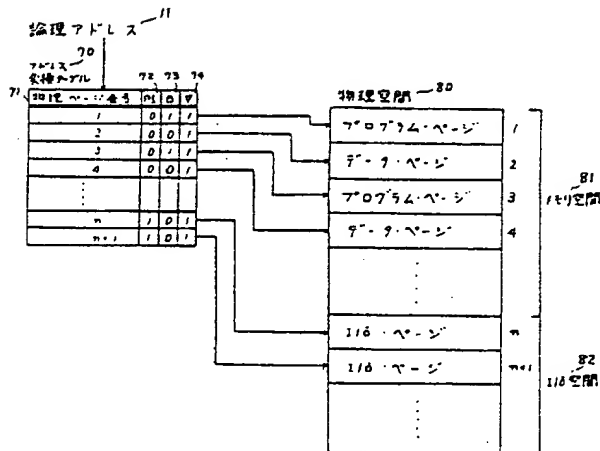
- 10…命令実行部
- 20…メモリ管理部
- 30…バス制御部
- 40…パイプライン段数カウンタ
- 50, 100, 110, 120…NAND論理
- 60…AND論理
- 70…アドレス変換テーブル
- 80…物理空間のマッピング
- 90…デコード回路

代理人弁理士 小川 勝男

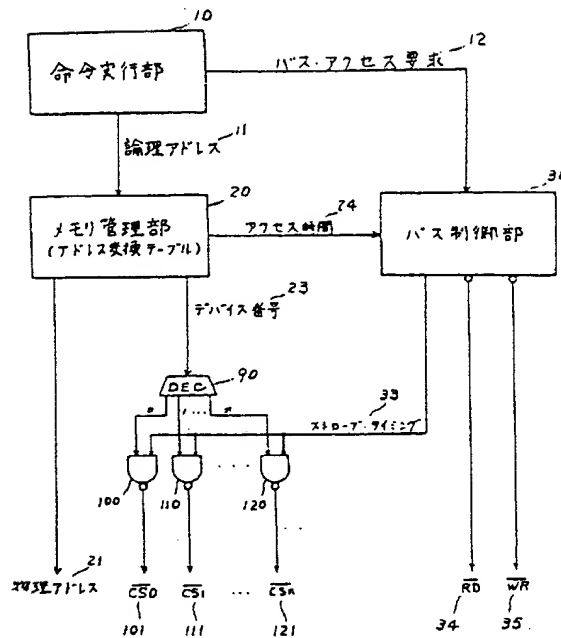
第1図



第2図



第 3 図



第 1 頁の続き

⑦発明者	春日	日出雄	神奈川県横浜市戸塚区吉田町292番地 株式会社日立マイクロソフトウェアシステムズ内
⑦発明者	井戸	明	神奈川県横浜市戸塚区吉田町292番地 株式会社日立マイクロソフトウェアシステムズ内
⑦発明者	平畑	健児	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑦発明者	近藤	伸和	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑦発明者	川島	秀之	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
⑦発明者	松田	敏彦	愛知県尾張旭市曙丘町池上1番地 株式会社日立製作所旭工場内